

529-9



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Yoshiki SAKUMA**

Serial No.: **Not Yet Assigned**

Filed: **March 29, 2001**

For: **HETEROBIPOLAR TRANSISTOR AND A METHOD OF FORMING A SiGeC MIXED CRYSTAL LAYER**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
Washington, D.C. 20231

March 29, 2001

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2000-247057, filed August 16, 2000

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN, HATTORI
McLELAND & NAUGHTON, LLP

Atty. Docket No.: 010401
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
DWH/ll

Donald W. Hanson
Reg. No. 27,133

PATENT OFFICE
JAPANESE GOVERNMENT



This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: August 16, 2000

Application Number: Japanese Patent Application
No. 2000-247057

Applicant(s) FUJITSU LIMITED

February 23, 2001

Commissioner,
Patent Office

Kouzo Oikawa (Seal)

Certificate No.2001-3011235

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 8月16日

出 願 番 号

Application Number:

特願2000-247057

出 願 人

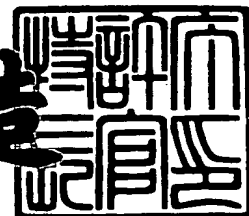
Applicant (s):

富士通株式会社

2001年 2月23日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3011235

【書類名】 特許願

【整理番号】 0040437

【提出日】 平成12年 8月16日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 29/72
H01L 21/20

【発明の名称】 ヘテロバイポーラトランジスタおよびS i G e C混晶膜
の形成方法

【請求項の数】 11

【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 佐久間 芳樹

【特許出願人】
【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】
【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデン
プレイスタワー32階

【弁理士】
【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】
【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】
【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ヘテロバイポーラトランジスタおよび SiGeC 混晶膜の形成方法

【特許請求の範囲】

【請求項 1】 基板と、

前記基板上に形成されたコレクタ層と、

前記コレクタ層上に形成されたベース層と、

前記ベース層上に形成されたエミッタ層とよりなるヘテロバイポーラトランジスタであって、

前記ベース層は SiGeC 系の混晶よりなり、

前記ベース層中において C の濃度が、前記エミッタ層に面する第 1 の界面から前記コレクタ層に面する第 2 の界面まで増加することを特徴とするヘテロバイポーラトランジスタ。

【請求項 2】 前記ベース層中において、Ge の濃度が前記第 1 の界面から前記第 2 の界面まで、実質的に一定であることを特徴とする請求項 1 記載のヘテロバイポーラトランジスタ。

【請求項 3】 前記ベース層中において Ge の濃度が、前記第 1 の界面から前記第 2 の界面まで増加することを特徴とする請求項 1 記載のヘテロバイポーラトランジスタ。

【請求項 4】 前記ベース層中において、前記 C の濃度と前記 Ge の濃度とは、前記第 1 の界面から前記第 2 の界面まで、一定の比率を維持しながら変化することを特徴とする請求項 3 記載のヘテロバイポーラトランジスタ。

【請求項 5】 前記比率は、前記ベース層中において、前記第 1 の界面から前記第 2 の界面まで、格子不整合に起因する欠陥の形成が生じないような値に設定されていることを特徴とする請求項 4 記載のヘテロバイポーラトランジスタ。

【請求項 6】 前記エミッタ層のうち前記ベース層に接する第 1 の領域と、前記コレクタ層のうち前記ベース層に接する第 2 の領域の少なくとも一方が、C を含むことを特徴とする請求項 1 ～ 5 のうち、いずれか一項記載のヘテロバイポーラトランジスタ。

【請求項 7】 基板と、

前記基板上に形成されたコレクタ層と、

前記コレクタ層上に形成されたベース層と、

前記ベース層上に形成されたエミッタ層とよりなるヘテロバイポーラトランジスタであって、

前記ベース層は SiGe 二元系混晶よりなり、

前記エミッタ層のうち前記ベース層に接する第 1 の領域と、前記コレクタ層のうち前記ベース層に接する第 2 の領域の少なくとも一方が、C を含むことを特徴とするヘテロバイポーラトランジスタ。

【請求項 8】 基板表面に SiGeC 混晶膜を Si, Ge および C の気相原料から形成する方法であって、

前記基板表面に、 SiH_4 , GeH_4 , および 1 分子中に 2 個以上の C 原子を含む原料を、それぞれ Si, Ge および C の気相原料として供給する工程を含むことを特徴とする SiGeC 混晶膜の形成方法。

【請求項 9】 前記 C の気相原料として、 $(\text{CH}_3)_2\text{SiH}_2$ および $(\text{CH}_3)_3\text{SiH}$ のいずれか一方が使われることを特徴とする請求項 8 記載の SiGeC 混晶膜の形成方法。

【請求項 10】 前記 Si, Ge および C の気相原料を供給する工程は、前記基板表面に SiH_4 を優先的に供給する第 1 の工程と、前記第 1 の工程の後、前記基板表面に前記 C の気相原料を優先的に供給する第 2 の工程と、前記第 2 の工程の後、前記基板表面に GeH_4 を優先的に供給する第 3 の工程とを含むことを特徴とする請求項 8 または 9 記載の SiGeC 混晶膜の形成方法。

【請求項 11】 前記 C の気相原料の割合は、前記 SiGeC 混晶膜の成長と共に変化させられることを特徴とする請求項 8 ~ 10 のうち、いずれか一項記載の SiGeC 混晶膜の形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置に係り、特に SiGeC 三元系混晶半導体層を有する高速

半導体装置に関する。

【0002】

S i バイポーラトランジスタは今日では古典的な半導体装置であるが、従来の S i バイポーラトランジスタでは S i 中のキャリア移動度が限られているため動作速度に限界があり、数十 G H z 帯域での高速動作が要求される光通信システムや携帯電話等の無線通信システムでは、もっぱら電子移動度の大きい化合物半導体を活性領域に使った化合物半導体装置が使われていた。

【0003】

一方、化合物半導体装置は S i 基板上への集積化が困難で、このため従来の高速通信システムでは、G H z 帯域で動作する高周波回路を S i 集積回路により構成された信号処理部とは別に設ける必要があった。

【0004】

S i は G e との間で広範な混晶を形成することが知られており、かかる S i G e 二元系混晶を活性層に使った高速半導体装置が提案されている。S i G e 二元系混晶では、S i と G e の原子半径の差に起因して歪が生じるが、かかる歪の存在の結果、混晶を構成する結晶の対称性が低下し、電子の散乱が制限され、その結果キャリア移動度が大きく増大する。かかる S i G e 二元系混晶を使った高速半導体装置は他の S i 半導体装置と共に共通の S i 基板上に集積化することができるため、好都合である。

【0005】

S i G e 二元系混晶では S i 結晶中における G e による置換の結果バンドギャップが減少するが、かかる S i G e 混晶を p 型にドーブして S i バイポーラトランジスタのベース層に使うことにより、エミッタ領域中への少数キャリアの注入を阻止するバンド不連続をベース-エミッタ間の価電子帯側に形成することができ、その結果、かかる S i G e 系のヘテロバイポーラトランジスタでは、従来の化合物半導体ヘテロバイポーラトランジスタと同様に、エミッタ注入効率を向上させ高速応答特性を実現することができる。

【0006】

【従来の技術】

図 1 (A) は従来の SiGe 二元系混晶を使ったヘテロバイポーラトランジスタ 10 の構成を、また図 1 (B) は図 1 (A) のヘテロバイポーラトランジスタ 10 のバンド構造を示す。

【 0 0 0 7 】

図 1 (A) を参照するに、前記ヘテロバイポーラトランジスタ 10 は素子分離溝 11 A および n^+ 型ウェル 11 B が形成された Si 基板 11 上に形成されており、前記 n^+ 型ウェル 11 B 上には n 型 Si コレクタ層 12 と、 p 型 SiGe 二元系混晶よりなる薄いベース層 13 とが順次形成されている。前記コレクタ層 12 とベース層 13 とはメサ構造を形成し、前記ベース層 13 上には n^+ 型 Si エミッタ層 14 が形成される。典型的には前記コレクタ層 12 およびエミッタ層 14 は P または As により、それぞれ $5 \times 10^{17} \text{ cm}^{-3}$ および $3 \times 10^{20} \text{ cm}^{-3}$ 程度のキャリア密度にドーピングされており、一方前記ベース層は B により、 $5 \times 10^{19} \text{ cm}^{-3}$ 程度のキャリア密度にドーピングされている。前記エミッタ層 14 上にはエミッタ電極 15 が、ベース層 13 上にはベース電極 16 が、さらに前記 n^+ ウェル 11 B 上にはコレクタ電極 17 が形成される。すなわち、図 1 (A) の構造では、前記 n^+ 型ウェル 11 B はコレクタコンタクト層を構成する。

【 0 0 0 8 】

図 1 (B) のバンド構造図中に示すように、前記ベース層 13 中においては Ge 濃度が厚さ方向に、前記ベース層 13 とエミッタ層 14 との界面から前記ベース層 13 とコレクタ層 12 との界面に向かって増大するように変化しており、その結果前記ベース層 13 中においては伝導帯 Ec がコレクタ層 12 に向かって傾斜する。前記ベース層 13 中にかかる傾斜組成構造を設けることにより、電子は前記ベース層 13 中を拡散により通過する際に伝導帯 Ec の傾斜に起因するドリフト電界により加速を受け、その結果バイポーラトランジスタ 10 の動作速度が向上する。かかる SiGe 二元系混晶を使ったヘテロバイポーラトランジスタについては、例えば米国特許 5, 353, 912 号公報を参照。

【 0 0 0 9 】

図 1 (A), (B) のヘテロバイポーラトランジスタ 10 は Si 基板上に、Si 集積回路の分野で既に確立された技術により形成されるため、アナログ回路を

含む他の情報処理回路と容易に集積化することができる。

【 0 0 1 0 】

【発明が解決しようとする課題】

一方、図 1 (A), (B) のヘテロバイポーラトランジスタ 1 0 では、前記ベース層 1 3 中に Ge を、特に前記ベース層 1 3 とコレクタ層 1 2 との界面に向かって濃度が増大するようなプロファイルで含むため、特に Ge 濃度が高い領域において Si 基板 1 1 との間で格子不整合が大きくなり、また前記ベース層 1 3 のドーピングに使われる B が容易に隣接するコレクタ層 1 2 あるいはエミッタ層 1 4 中に拡散するため、熱処理に対して不安定である問題を有している。

【 0 0 1 1 】

これに対し、従来より前記 Si Ge 二元系混晶ベース層 1 3 に少量の C をドーパントとして導入することにより、前記ベース層 1 3 から隣接するコレクタ層 1 2 あるいはエミッタ層 1 4 への B の拡散を抑制する技術が提案されている (Lanz erotti, et al., Appl. Phys. Lett. 70(23), 9 June 1997; Osten, H.J., et al., J. Vac. Sci. Technol. B16(3), May/Jun 1998, pp.1750-1753)。

【 0 0 1 2 】

また、従来より Si Ge 二元系混晶ベース層を有する Si あるいは Si C 系ヘテロバイポーラトランジスタにおいて、前記ベース層中に C を導入し、前記ベース層を Si Ge C 三元系混晶とする提案がなされている (米国特許 4, 8 8 5, 6 1 4 号公報あるいは特開平 1 1 - 3 1 2 6 8 6 号公報参照)。かかる Si Ge C 三元系混晶を使うことにより Si 基板に対する格子不整合が緩和され、ベース-エミッタ間のヘテロ接合の設計自由度が向上すると考えられる。

【 0 0 1 3 】

一方、このような Si Ge C 三元系混晶をベース層に使った従来のヘテロバイポーラトランジスタではベース層中に導入される C 原子の濃度が限られており、このため前記ベース層中における Ge の組成勾配をさらに大きくしようとすると、Si 基板に対する格子不整合、およびかかる格子不整合に起因する欠陥がベース層中に生じてしまい、このためベース層中に望ましい十分に大きなキャリア加速電界を形成することができなかった。一方、多量の C 原子を含んだ Si Ge C

系の混晶を形成しようとする、C原子を正しい格子位置、すなわちSiあるいはGeの格子位置に、局所的な格子歪を生じないように、また深い準位などが形成されないように導入する必要があるが、これは従来の技術では困難であった。特に、Ge濃度の高いSiGe混晶においてCを高濃度に導入するのは困難であることが報告されている (J.P. Liu, et al., Appl. Phys. Lett. vol.76, pp.3546-3548, 2000)。

【0014】

また従来のSiGeC三元系混晶をベース層に使ったヘテロバイポーラトランジスタでは、ベース層とコレクタ層、あるいはベース層とエミッタ層との界面に対応して伝導帯上にノッチが形成されてしまうが、かかるノッチは伝導帯上の電子に対してポテンシャル障壁として作用するため、ヘテロバイポーラトランジスタの動作を低下させる。

【0015】

そこで本発明の概括的課題は、従来のSiGeC三元系混晶をベース層に使ったヘテロバイポーラトランジスタにおいて、さらに設計の自由度を向上させ、動作速度を向上させることにある。

【0016】

本発明のより具体的な課題は、SiGeC三元系混晶をベース層に使ったヘテロバイポーラトランジスタにおいて、前記ベース層中における組成傾斜および格子不整合を最適化し、前記ベース層中におけるドリフトによるキャリアの加速を最大化することにある。

【0017】

本発明の別の課題は、SiGeC三元系混晶をベース層に使ったヘテロバイポーラトランジスタにおいて、ヘテロ接合部に生じるポテンシャル障壁を低減することにある。

【0018】

【課題を解決するための手段】

本発明は上記の課題を、基板と、前記基板上に形成されたコレクタ層と、前記コレクタ層上に形成されたベース層と、前記ベース層上に形成されたエミ

ッタ層とよりなるヘテロバイポーラトランジスタであって、前記ベース層はSiGeC系の混晶よりなり、前記ベース層中においてCの濃度が、前記エミッタ層に面する第1の界面から前記コレクタ層に面する第2の界面まで増加することを特徴とするヘテロバイポーラトランジスタにより解決する。

【0019】

本発明によれば、SiGeC系混晶よりなるベース層中にGeおよびCの大きな組成勾配を形成することができ、かかる組成勾配に伴うドリフト電界により、キャリアがベース層中を通過するに要する時間が短縮され、トランジスタの動作速度が向上する。

【0020】

前記ベース層中においては、前記Cの濃度と前記Geの濃度とを、前記第1の界面から前記第2の界面まで、一定の比率を維持しながら変化させるのが好ましい。特に、前記比率は、前記ベース層中において、前記第1の界面から前記第2の界面まで、格子不整合に起因する欠陥の形成が生じないような値に、あるいは前記第1の界面から前記第2の界面まで、実質的に格子整合が成立するような値に設定するのが好ましい。前記Geの濃度および前記Cの濃度は、前記ベース層中において前記第1の界面から前記第2の界面まで、連続的に変化させるのが好ましく、前記Geの濃度および前記Cの濃度のうちの少なくとも一方は、前記第1の界面において実質的にゼロでない値を有するように設定するのが好ましい。さらに、前記SiGeC混晶中において、Cのみに組成勾配を与えてもよい。この場合にも、Cの組成勾配に伴うバンドギャップの減少の結果、ベース層中にドリフト電界が誘起され、バイポーラトランジスタの動作速度が向上する。

【0021】

本発明はまた、SiGe混晶系あるいはSiGeC混晶系のベース層とこれに隣接するエミッタ層、あるいはコレクタ層との間のヘテロ界面において伝導帯に出現し、前記伝導帯に沿って前記ベース層を通過する電子に対してポテンシャル障壁として作用するスパイクの高さを低減し、ヘテロバイポーラトランジスタの動作速度を向上させる。本発明のヘテロバイポーラトランジスタはSi基板上に形成することが可能である。

【 0 0 2 2 】

本発明はまた、上記の課題を基板表面に SiGeC 混晶膜を Si 、 Ge および C の気相原料から形成する方法であって、前記基板表面に、 SiH_4 、 GeH_4 、および 1 分子中に 2 個以上の C 原子を含む原料を、それぞれ Si 、 Ge および C の気相原料として供給する工程を含むことを特徴とする SiGeC 混晶膜の形成方法により解決する。

【 0 0 2 3 】

本発明によれば、 Si 基板上に SiGeC 系混晶膜を形成する際に SiH_4 気相原料の分圧を高く設定することにより、 C を前記 SiGeC 混晶膜中の正しい格子位置に入れることができ、しかも C の 1 原料分子中に多数の C 原子が含まれるため、 C の気相原料の分圧が低くとも、前記 SiGeC 混晶膜中における C の濃度を増加させることができる。特に前記 C の気相原料としては、 $(\text{CH}_3)_2\text{SiH}_2$ あるいは $(\text{CH}_3)_3\text{SiH}$ を使うのが好ましい。

【 0 0 2 4 】

前記 Si 、 Ge および C の気相原料を供給する工程を、前記基板表面に SiH_4 を優先的に供給する第 1 の工程と、前記第 1 の工程の後で行われ前記基板表面に前記 C の気相原料を優先的に供給する第 2 の工程と、前記第 2 の工程の後で行われ前記基板表面に GeH_4 を優先的に供給する第 3 の工程とにより実行することにより、 C 原子の堆積に先立って基板表面が Si 原子により覆われる。このため、本発明では、通常の SiGeC 混晶において見られる、 Ge の濃度が増大すると共に C の取り込みが低下した C が正しい格子位置に入らなくなる問題が、回避される。

【 0 0 2 5 】

【発明の実施の形態】

〔第 1 実施例〕

図 2 (A)、(B) は、本発明の第 1 実施例によるヘテロバイポーラトランジスタ 20 の構成を示す。図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【 0 0 2 6 】

図 2 (A) を参照するに、前記ヘテロバイポーラトランジスタ 2 0 は先のヘテロバイポーラトランジスタ 1 0 と同様な構成を有するが、ベース層 1 3 が図 2 (B) に示す組成勾配を有する SiGeC 三元系混晶層に置き換えられている。前記ベース層 2 3 は例えば 5 0 nm の厚さを有し、B により $8 \times 10^{19} \text{ cm}^{-3}$ のキャリア濃度にドーピングされている。

【 0 0 2 7 】

図 2 (B) を参照するに、前記ベース層 2 3 はエミッタ層 1 4 との接合面においては Ge および C の濃度が実質的にゼロで、従ってホモ接合が形成されている。しかし前記ベース層 2 3 中においては前記コレクタ層 1 2 との界面に向かって Ge および C の濃度が一様かつ連続的に増大し、前記コレクタ層 1 2 との界面においては前記混晶層の組成を $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ で表した場合の Ge の組成パラメータ x および C の組成パラメータ y が、それぞれ 0. 2 5 および 0. 0 3 に達している。

【 0 0 2 8 】

また図 2 (B) に示すように前記ベース層 2 3 中においては Ge の組成パラメータ x と C の組成パラメータ y とはおおよそ一定に維持されており、従って前記コレクタ層 1 2 との界面においては、 Ge と C の濃度はいずれも最大となっている。特に、図 2 (B) の例では、前記組成パラメータ x は前記組成パラメータ y の約 8 倍 ($\text{Ge} : \text{C} = 8 : 1$) に設定されているが、この場合には前記ベース層 2 3 は、前記コレクタ層 1 2 との界面から前記エミッタ層 1 4 との界面まで、全ての位置において Si 基板に対して格子整合する。

【 0 0 2 9 】

かかるヘテロバイポーラトランジスタ 2 0 では、まず前記ベース層 2 3 が実質的な量の C を含むため、 p 型にドーピングされたベース層 2 3 中の B の隣接層中への拡散が抑制され、安定した特性のトランジスタを得ることができる。また、前記ベース層 2 3 が SiGeC 三元系混晶より形成され、しかも Ge の濃度と共に C の濃度も変化させているためベース層中の格子歪が抑制され、 Ge の濃度を大きく変化させても格子不整合による欠陥が導入されることがない。このため前記ベース層 2 3 中には大きな Ge 組成勾配を実現することができ、かかる組成勾配に

伴うバンド構造の変化により、ベース層 2 3 中ではキャリアが大きく加速される。すなわち、本発明によるヘテロバイポーラトランジスタ 2 0 は従来の Ge 組成勾配を有する Si Ge 二元系混晶をベース層として使ったヘテロバイポーラトランジスタをしのぐ高速動作を実現することができる。また本発明では Ge の濃度と C の濃度と制御することにより、前記ベース層 2 3 中における歪を最適化することができ、これにより前記ベース層 2 3 中におけるキャリアの移動度を最適化することも可能である。

【 0 0 3 0 】

特にこのような Si Ge 混晶系において C を実質的な量導入し、Si Ge C 混晶を形成した場合、バンドギャップが C 濃度と共に減少することが最近の理論計算で見出されているが (Ohfuti, M., et al., Phys. Rev. B vol.60, pp.15515-15518, 1999) 、このことは、図 2 (B) に示すような C の濃度勾配を有するベース層 2 3 中においては、先に図 1 (B) で説明した伝導帯の傾斜がさらに大きくなり、キャリアが加速されやすくなることを示している。

【 0 0 3 1 】

次に、図 2 (A) , (B) のベース層 2 3 を構成する三元系 Si Ge C 混晶層の形成方法を、本発明の第 2 実施例として説明する。

[第 2 実施例]

図 3 は、本発明の第 2 実施例による Si Ge C 混晶層の形成工程において使われる気相堆積装置 3 0 の構成を示す。

【 0 0 3 2 】

図 3 を参照するに、気相堆積装置 3 0 は回動自在なグラファイトサセプタ 3 2 を有する石英リアクタ 3 1 を含み、前記グラファイトサセプタ 3 2 上には Si ウェハなどの被処理基板 3 3 が保持される。なお、図示の例では前記グラファイトサセプタ 3 2 は図示しない Si C 被膜により覆われている。

【 0 0 3 3 】

前記石英リアクタ 3 1 にはフランジ 3 1 A を介してゲートバルブ 3 4 A およびロードロック室 3 4 B を備えたウェハ出入部 3 4 が結合されており、前記石英リ

アクタ31は前記ウェハ出入部34に設けられた排気ポート34aを介して排気される。さらにロードロック室34Bも、別の排気ポート34bを介して排気される。また前記石英リアクタ31中には原料注入ポート31aから気相原料が導入される。また、前記石英リアクタ31に隣接して、前記サセプタ32上の被処理基板33を加熱するランプ加熱装置35A、35Bが配設されている。

【0034】

以下、図3の堆積装置30を使ったSi基板上へのSiGeC三元系混晶層の形成工程について説明する。

【0035】

最初に前記石英リアクタ31中には、表面を洗浄された例えば(100)面を有するSi基板が、前記被処理基板33として前記ロードロック室34Bおよびゲートバルブ34Aを介して導入され、前記サセプタ32上において表面の酸化膜が H_2 キャリアガス中 $950^{\circ}C$ でベークすることにより除去される。

【0036】

次に前記被処理基板33の基板温度を $550\sim 650^{\circ}C$ まで低下させ、前記原料注入ポート31aからSiの原料として SiH_4 を、Geの原料として GeH_4 を、さらにCの原料として $(CH_3)_2SiH_2$ (ジメチルシラン)あるいは $(CH_3)_3SiH$ (トリメチルシラン)を前記石英リアクタ31中に導入し、さらに前記石英リアクタ31中の内圧を約 $1.3kPa$ ($10Torr$)に設定して前記被処理基板33上にSiGeC系混晶層の堆積を行う。

【0037】

従来より、SiGeC系混晶層をCVD法により形成する技術自体は存在したが、C原子をSiGeC系混晶において正しい格子位置に、すなわちSiあるいはGe原子を置換するように、しかも高濃度で導入するのは困難であった。これは、C原子をSiGeC系混晶中のSiやGeを置換する正しい格子位置に導入しようとする、Si原料として使われる SiH_4 の分圧を増大させる必要がある(Mi, J. et al., J. Vac. Sci. Tech. B14(3), pp.1660-1669, 1996)ことに起因している。すなわち、SiGeC混晶中のC濃度を増大させようと、気相原料中におけるC原料の分圧を増大させると SiH_4 の分圧が相対的に低下して

しまい、その結果C原子が格子間位置等、望ましくない格子位置に入ってしまう。望ましくない格子位置に入ったC原子は結晶格子中に局所的な歪み場や深い準位を形成したり、転位や欠陥の発生源となる。

【 0 0 3 8 】

これに対し、本発明ではCの原料として、従来使われていた CH_3SiH_3 （モノメチルシラン）の代わりに1分子中に2あるいは3個のC原子を含む $(\text{CH}_3)_2\text{SiH}_2$ あるいは $(\text{CH}_3)_3\text{SiH}$ 等のC原料を使うことにより、 SiH_4 の分圧を低下させることなく、膜中に導入されるCの量を増大させることができる。本発明により、5～6原子%に達するCを、SiあるいはGe原子を置換する格子位置に導入することが可能になった。

【 0 0 3 9 】

また、従来より、Si基板上に形成されたSiGeC混晶では、混晶中へのCの取り込み、特にSiあるいはGe原子を置換するC原子の割合が、混晶中のGe濃度が増大すると共に低下する傾向にあることが知られている（Liu, J.P., Appl. Phys. Lett. vol. 76, pp.3546-3548, 2000, op cit.）。このため、Geを多量に含むSiGe混晶中へのC原子の導入は、従来より困難であった。

【 0 0 4 0 】

これに対し、本発明では、図3の堆積装置30を使い、最初に SiH_4 を供給して基板表面をSi原子で実質的に覆い、次いで前記 $(\text{CH}_3)_2\text{SiH}_2$ あるいは $(\text{CH}_3)_3\text{SiH}$ 等のC原料を供給することで、C原子を所望の格子位置に導入し、その後で GeH_4 を供給してGe原子を導入する工程を使う。かかる工程により、SiGeC混晶中におけるGe濃度が高い場合でも、安定してC原子を高い濃度で混晶中に導入することが可能になる。上記の工程を繰り返すことにより、所望の格子位置に高濃度のC原子を含むSiGeC混晶を形成することができる。その際、 SiH_4 、 GeH_4 およびC原料の供給回数を制御することにより、所望のSiGeC混晶を、任意の組成プロファイルで形成することが可能になる。

〔第3実施例〕

以下、図 3 の堆積装置 3 0 を使った図 2 (A), (B) のヘテロバイポーラトランジスタの製造工程を、図 4 (A) ~ (C) を参照しながら簡単に説明する。

【0 0 4 1】

図 4 (A) を参照するに、 n^+ 型層 1 1 B を形成された Si 基板 1 1 の表面には、前記コレクタ層 1 2 を形成する領域に開口部を有する SiO_2 等の絶縁膜マスクパターン 1 2 A が形成され、前記堆積装置 3 0 において前記開口部に Si 層および SiGeC 混晶層 2 3 を順次堆積してコレクタ層 1 2 およびベース層 2 3 を形成する。その際、前記コレクタ層 1 2 の形成では基板温度を $600 \sim 750^\circ C$ とし、 SiH_4 の他にドーパントガスとして PH_3 あるいは AsH_3 を、 H_2 キャリアガスと共に供給する。一方前記ベース層 2 3 の形成は、先に第 2 実施例で説明したように、Si, Ge および C の原料として SiH_4 と GeH_4 と $(CH_3)_2SiH_2$ あるいは $(CH_3)_3SiH$ を供給することにより行われるが、その際に B_2H_6 等の p 型不純物のドーピングガスを供給する。先にも説明したように、前記ベース層 2 3 の形成に際しては、 SiH_4 と $(CH_3)_2SiH_2$ あるいは $(CH_3)_3SiH$ と GeH_4 とを切替えながら形成することにより、正しい格子位置に高濃度で C 原子を含む SiGeC 混晶を、任意の組成プロファイルで形成することができる。

【0 0 4 2】

さらに図 4 (B) の工程で前記絶縁マスク 1 2 A を除去し、前記エミッタ層 1 4 の形成領域に開口部を有する絶縁マスク 1 4 A を新たに形成した後、前記ベース層 2 3 上にエミッタ電極 1 4 を、 SiH_4 と PH_3 あるいは AsH_3 の供給により形成する。

【0 0 4 3】

次に図 4 (C) の工程で前記絶縁マスク 1 4 A を除去し、レジストプロセスにより素子分離溝 1 1 A を形成し、さらにリフトオフ法によりコレクタ電極 1 7、ベース電極 1 6 およびエミッタ電極 1 5 を形成することにより、図 2 (A) のヘテロバイポーラトランジスタが得られる。

[第 4 実施例]

図5は、図2（A）のヘテロバイポーラトランジスタ20のSiGeC混晶系ベース層23の、本発明の第4実施例による組成プロファイルを示す。

【0044】

図5を参照するに、本実施例では前記ベース層23はエミッタ層14との界面においてもGeおよびC濃度がゼロでなく、従ってヘテロ接合界面が形成されている。

【0045】

かかる構成では、GeおよびCの組成変化は図2（B）の場合よりも緩やかになるが、組成パラメータxと組成パラメータyの比は一定には保たれず、従って図5のベース層23中には多少歪が蓄積する。図示の例ではベース層23とコレクタ層12との界面において格子整合が成立しており、ベース層23は歪を蓄積していても、転位等の欠陥を生じるほどの歪を受けることはない。またベース層23中の歪を最適化することにより、キャリアの移動度を増大させることも可能である。

〔第5実施例〕

図6は、図2（A）のヘテロバイポーラトランジスタ20のSiGeC混晶系ベース層23の、本発明の第5実施例による組成プロファイルを示す。

【0046】

図6を参照するに、本実施例では前記ベース層23中においてGe濃度は一定であり、C濃度のみが、エミッタ層14との界面からコレクタ層12との界面に向かって増大している。

【0047】

このように前記SiGeC混晶系のベース層23がC濃度のみに組成勾配を有するものであっても、Cの組成勾配に対応して伝導帯には勾配が現れ、その結果前記ベース層23中を通過する電子はドリフト電界による加速を受ける。先にも説明したように、SiGeC混晶系においてはGe濃度が高い場合に通常の気相堆積ではCをSi、Geの格子位置に高濃度で導入するのが困難な場合があるが、図6の実施例ではGe濃度を低く維持しておくことでCをベース層23中に高

濃度に導入することが可能である。

〔第 6 実施例〕

図 7 (A) は、図 2 (A) のヘテロバイポーラトランジスタ 20 の構成を示す。

【0048】

図 7 (A) を参照するに、前記ヘテロバイポーラトランジスタ 20 では、ベース層 23 とエミッタ層 14 との間の界面、およびベース層 23 とコレクタ層 12 との間の界面が、いずれもヘテロ接合界面となり、その結果かかる界面に対応して伝導帯 E_c に顕著なスパイクが現れる。伝導帯 E_c 上のかかるスパイクは、伝導帯 E_c に沿ってベース層 23 を横切る電子に対してポテンシャル障壁として作用するため、かかるヘテロ接合界面においてトランジスタの動作速度が低下する問題が生じる。

【0049】

これに対し、図 7 (B) は、本発明の第 6 実施例によるヘテロバイポーラトランジスタ 40 のバンド構造図を示す。

【0050】

本実施例では、前記エミッタ層 14 あるいはコレクタ層 12 のうち、前記ベース層 23 との界面を含む領域 14 a あるいは 12 a に C 原子を導入し、組成が $Si_{1-y}C_y$ で表される SiC 層を形成する。かかる SiC 層を形成することにより、前記領域 14 a あるいは 12 a において伝導帯 E_c の位置が低エネルギー側にシフトし、その結果かかる領域に生じていた伝導帯のスパイクが実質的に消滅し、エミッタ層 14 からベース層 23 への電子の注入、およびベース層 23 からコレクタ層 12 への電子の注入が効率良く行われるようになる。これに伴いベース／コレクタ界面でブロックされた電子に起因するベース電流が減少し、バイポーラトランジスタは優れた電気的特性を示す。

【0051】

前記界面領域 14 a あるいは 12 a における C 原子の導入は、図 3 の堆積装置を使うことにより、容易に実行することができる。

[第 7 実施例]

図 7 (B) の構成は、ベース層が SiGe 二元系混晶よりなる図 1 (A), (B) のヘテロバイポーラトランジスタ 10 に対しても適用可能である。

【0052】

図 8 は、図 1 (A), (B) のヘテロバイポーラトランジスタ 10 においてエミッタ/ベース界面領域あるいはベース/コレクタ界面領域において伝導帯のスパイクを消滅させた本発明の第 7 実施例によるヘテロバイポーラトランジスタ 60 の構成を示す。ただし図 8 中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

【0053】

図 8 を参照するに、本実施例では前記 Si エミッタ層 14 のうち、前記 SiGe 二元系混晶ベース層 13 との界面を含む界面領域 14a に C 原子が導入されており、 $Si_{1-y}C_y$ で表される SiC 組成を有する。同様に、Si コレクタ層 12 のうち、前記ベース層 13 との界面を含む界面領域 12a にも C 原子が導入されている。その結果、前記領域 14a および 12a において伝導帯 E_c のスパイクは実質的に消滅し、ヘテロバイポーラトランジスタ 60 の特性が向上する。

【0054】

図 8 の実施例においては、前記 C 原子の導入は、ベース層 13 のうち、前記界面領域 14a あるいは 12a に接する部分にも行うことが可能である。かかる C 原子の導入は、図 3 の堆積装置 30 を使うことにより、容易に行うことができる。

【0055】

以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において、様々な変形・変更が可能である。

(付記)

(付記 1) 基板と、

前記基板上に形成されたコレクタ層と、

前記コレクタ層上に形成されたベース層と、

前記ベース層上に形成されたエミッタ層とよりなるヘテロバイポーラトランジスタであって、

前記ベース層は S i G e C 系の混晶よりなり、

前記ベース層中において C の濃度が、前記エミッタ層に面する第 1 の界面から前記コレクタ層に面する第 2 の界面まで増加することを特徴とするヘテロバイポーラトランジスタ。(1)

(付記 2) 前記基板は S i 基板であることを特徴とする付記 1 記載のヘテロバイポーラトランジスタ。

(付記 3) 前記ベース層中において、G e の濃度が前記第 1 の界面から前記第 2 の界面まで、実質的に一定であることを特徴とする付記 1 または 2 記載のヘテロバイポーラトランジスタ。(2)

(付記 4) 前記ベース層中において G e の濃度が、前記第 1 の界面から前記第 2 の界面まで増加することを特徴とする付記 1 または 2 記載のヘテロバイポーラトランジスタ (3)。

(付記 5) 前記ベース層中において、前記 C の濃度と前記 G e の濃度とは、前記第 1 の界面から前記第 2 の界面まで、一定の比率を維持しながら変化することを特徴とする付記 4 記載のヘテロバイポーラトランジスタ。(4)

(付記 6) 前記比率は、前記ベース層中において、前記第 1 の界面から前記第 2 の界面まで、格子不整合に起因する欠陥の形成が生じないような値に設定されていることを特徴とする付記 5 記載のヘテロバイポーラトランジスタ。(5)

(付記 7) 前記比率は、前記ベース層中において、前記第 1 の界面から前記第 2 の界面まで、実質的に格子整合が成立するように設定されていることを特徴とする付記 5 または 6 記載のヘテロバイポーラトランジスタ。

(付記 8) 前記 G e の濃度および前記 C の濃度は、前記ベース層中において前記第 1 の界面から前記第 2 の界面まで、連続的に変化することを特徴とする付記 4 ~ 7 のうち、いずれか一項記載のヘテロバイポーラトランジスタ。

(付記 9) 前記 G e の濃度および前記 C の濃度のうちの少なくとも一方は、前記第 1 の界面において実質的にゼロでない値を有することを特徴とする付記 1 ~

6のうち、いずれか一項記載のヘテロバイポーラトランジスタ。

(付記 1 0) 前記エミッタ層のうち前記ベース層に接する第 1 の領域と、前記コレクタ層のうち前記ベース層に接する第 2 の領域の少なくとも一方が、Cを含むことを特徴とする付記 1 ～ 9 のうち、いずれか一項記載のヘテロバイポーラトランジスタ。(6)

(付記 1 1) 前記第 1 および第 2 の領域の双方がCを含むことを特徴とする付記 1 0 記載のヘテロバイポーラトランジスタ。

(付記 1 2) 基板と、
前記基板上に形成されたコレクタ層と、
前記コレクタ層上に形成されたベース層と、
前記ベース層上に形成されたエミッタ層とよりなるヘテロバイポーラトランジスタであって、

前記ベース層はSiGe二元系混晶よりなり、
前記エミッタ層のうち前記ベース層に接する第 1 の領域と、前記コレクタ層のうち前記ベース層に接する第 2 の領域の少なくとも一方が、Cを含むことを特徴とするヘテロバイポーラトランジスタ。(7)

(付記 1 3) 前記第 1 および第 2 の領域の双方がCを含むことを特徴とする付記 1 2 記載のヘテロバイポーラトランジスタ。

(付記 1 4) 基板表面にSiGeC混晶膜をSi, GおよびCの気相原料から形成する方法であって、

前記基板表面に、 SiH_4 , GeH_4 , および 1 分子中に 2 個以上のC原子を含む原料を、それぞれSi, GeおよびCの気相原料として供給する工程を含むことを特徴とするSiGeC混晶膜の形成方法。(8)

(付記 1 5) 前記基板はSi基板であることを特徴とする付記 1 4 記載のSiGeC混晶膜の形成方法。

(付記 1 6) 前記Cの気相原料として、 $(\text{CH}_3)_2\text{SiH}_2$ および $(\text{CH}_3)_3\text{SiH}$ のいずれか一方が使われることを特徴とする付記 1 4 または 1 5 記載のSiGeC混晶膜の形成方法。(9)

(付記 1 7) 前記Si, GeおよびCの気相原料を供給する工程は、前記基板

表面に SiH_4 を優先的に供給する第 1 の工程と、前記第 1 の工程の後、前記基板表面に前記 C の気相原料を優先的に供給する第 2 の工程と、前記第 2 の工程の後、前記基板表面に GeH_4 を優先的に供給する第 3 の工程とを含むことを特徴とする付記 1 4 ~ 1 6 のうち、いずれか一項記載の SiGeC 混晶膜の形成方法。(10)

(付記 1 8) 前記 C の気相原料の割合は、前記 SiGeC 混晶膜の成長と共に変化させられることを特徴とする付記 1 4 ~ 1 7 のうち、いずれか一項記載の SiGeC 混晶膜の形成方法。(11)

【発明の効果】

本発明によれば、 SiGeC 三元系混晶をベース層に使ったヘテロバイポーラトランジスタにおいて、前記ベース層中に Ge と C の組成勾配を形成することにより、

【図面の簡単な説明】

【図 1】

(A), (B) は、従来の SiGe 二元系混晶をベース層に使ったヘテロバイポーラトランジスタの構成を示す図である。

【図 2】

(A), (B) は、本発明の第 1 実施例によるヘテロバイポーラトランジスタの構成を示す図である。

【図 3】

本発明の第 2 実施例による、三元系 SiGeC 混晶を形成する堆積装置の構成を示す図である。

【図 4】

(A) ~ (C) は、本発明の第 3 実施例による図 2 (A), (B) に示すヘテロバイポーラトランジスタの製造方法を示す図である。

【図 5】

本発明の第 4 実施例によるヘテロバイポーラトランジスタにおけるベース層の Ge, C 分布を示す図である。

【図 6】

本発明の第 5 実施例によるヘテロバイポーラトランジスタにおけるベース層の Ge, C 分布を示す図である。

【図 7】

本発明の第 6 実施例によるヘテロバイポーラトランジスタのバンド構造を示す図である。

【図 8】

本発明の第 7 実施例によるヘテロバイポーラトランジスタのバンド構造を示す図である。

【符号の説明】

1 0, 2 0, 4 0, 6 0 ヘテロバイポーラトランジスタ

1 1 Si 基板

1 1 A 素子分離溝

1 1 B n⁺型ウェル

1 2 Si コレクタ層

1 2 A, 1 4 A 絶縁膜マスク

1 2 a, 1 4 a SiC 組成層

1 3 SiGe ベース層

1 4 Si エミッタ層

1 5 エミッタ電極

1 6 ベース電極

1 7 コレクタ電極

2 3 SiGeC ベース層

3 0 堆積装置

3 1 リアクタ

3 1 a 原料ガス入口

3 1 A フランジ

3 2 サセプタ

3 3 被処理基板

3 4 ウェハ出入部

3 4 A ゲートバルブ

3 4 B ロードロック室

3 4 a . 3 4 b 排気ポート

3 5 A , 3 5 B ランプ加熱装置

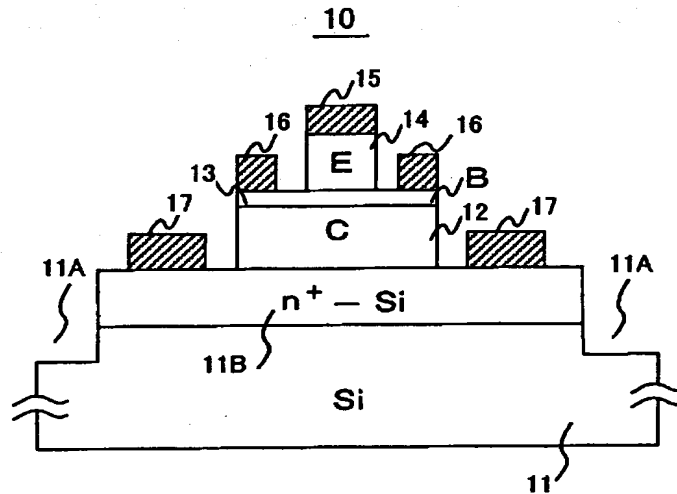
【書類名】

図面

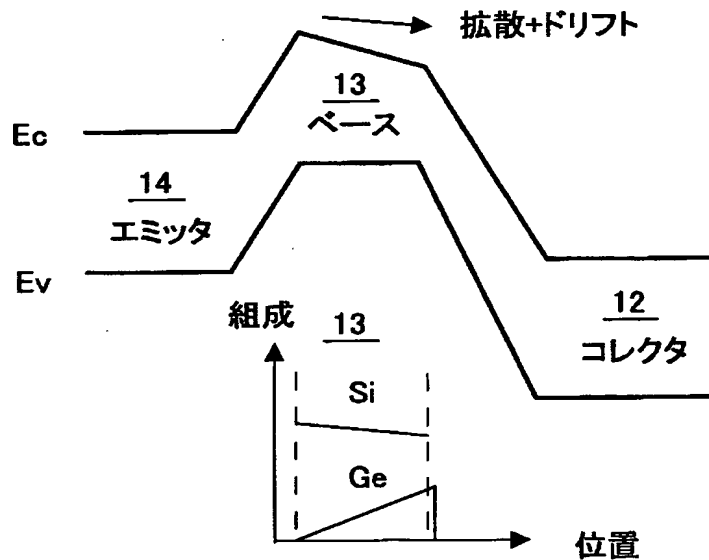
【図 1】

(A)、(B)は、従来のSiGe二元系混晶をベース層に
使ったヘテロバイポーラトランジスタの構成を示す図

(A)



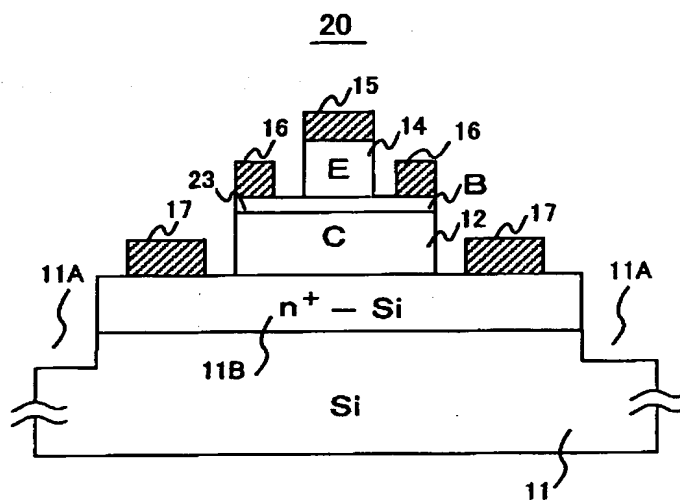
(B)



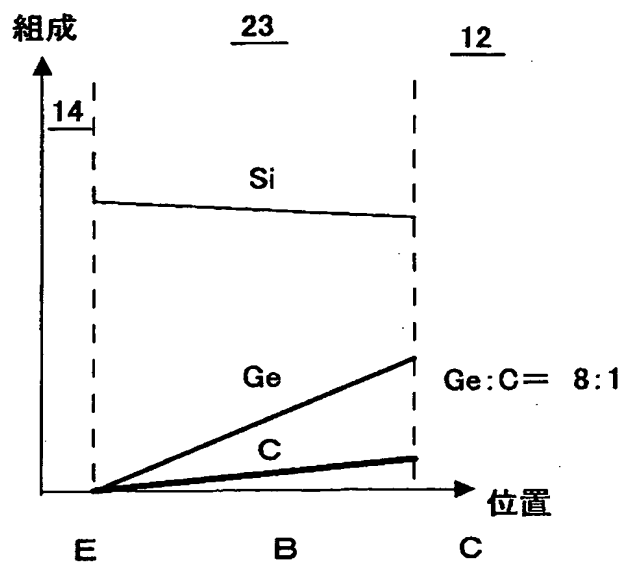
【図 2】

(A), (B)は、本発明の第1実施例による
ヘテロバイポーラトランジスタの構成を示す図

(A)

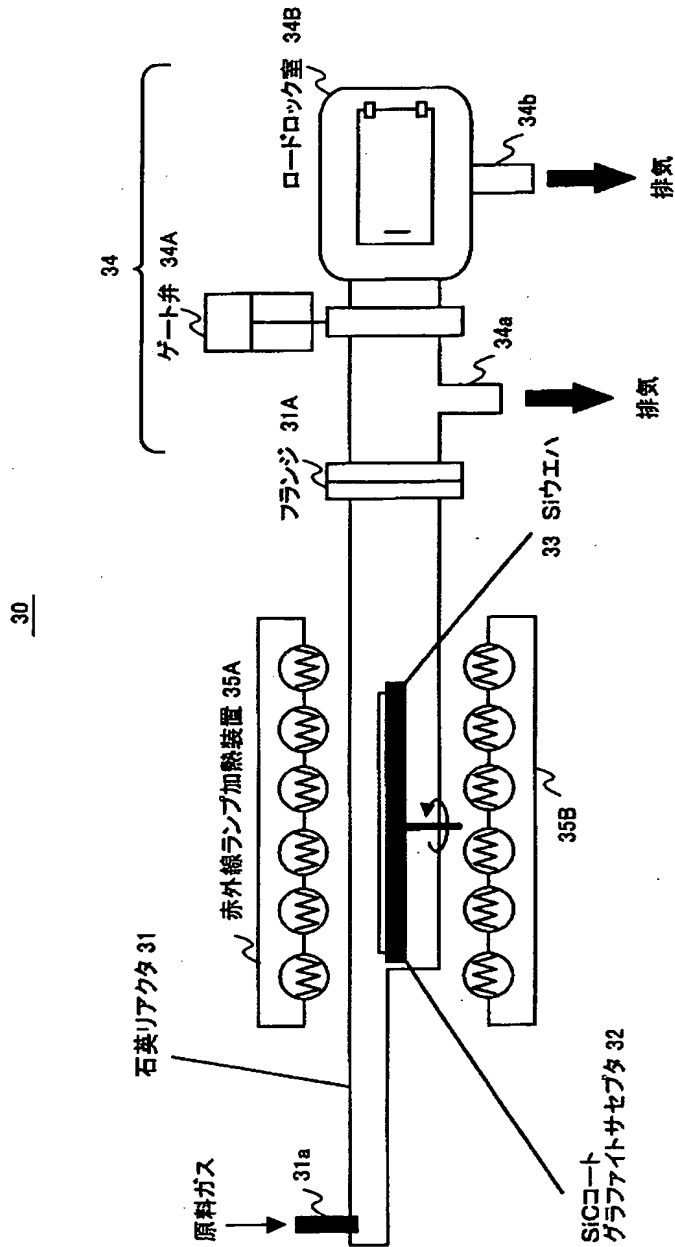


(B)



【図3】

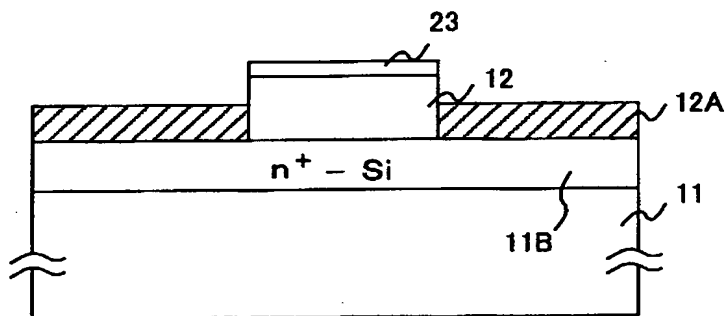
本発明の第2実施例による、
三元系SiGeC混晶を形成する堆積装置の構成を示す図



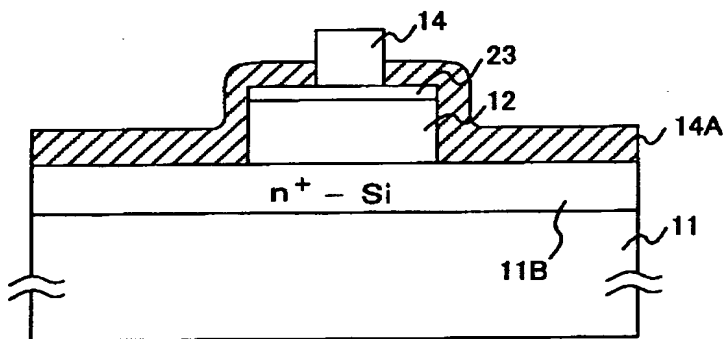
【図 4】

(A) ~ (C)は、本発明の第3実施例による図2(A), (B)に示すヘテロバイポーラトランジスタの製造方法を示す図

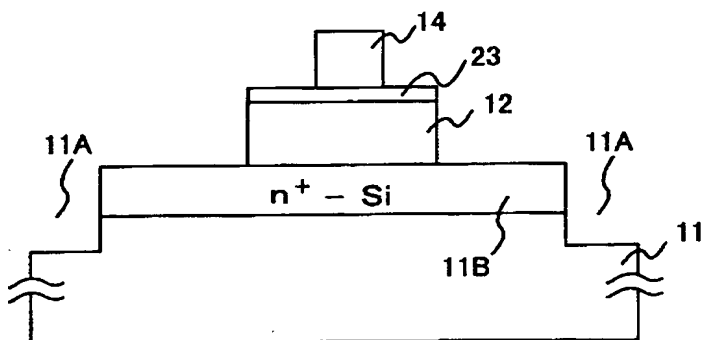
(A)



(B)

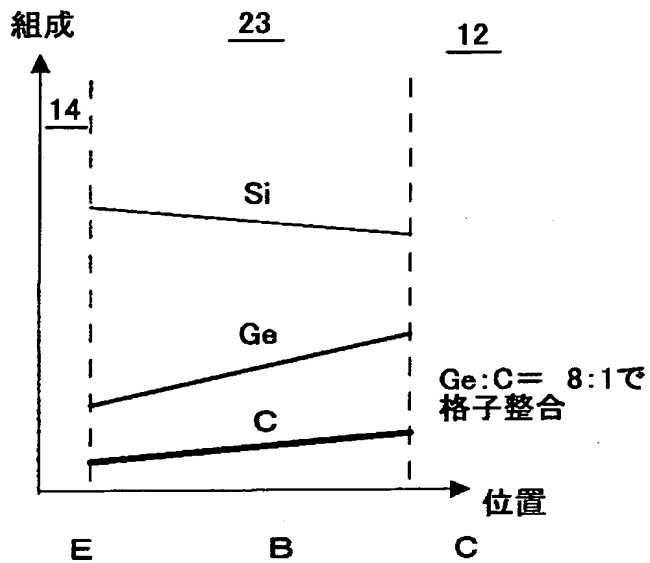


(C)



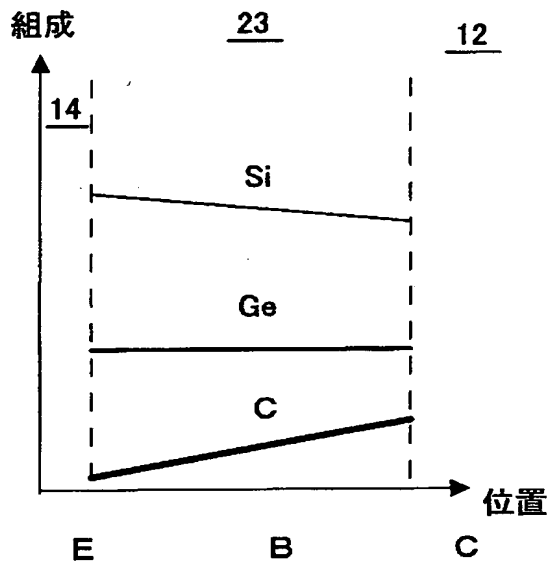
【図 5】

本発明の第4実施例によるヘテロバイポーラトランジスタ
におけるベース層のGe, C分布を示す図



【図 6】

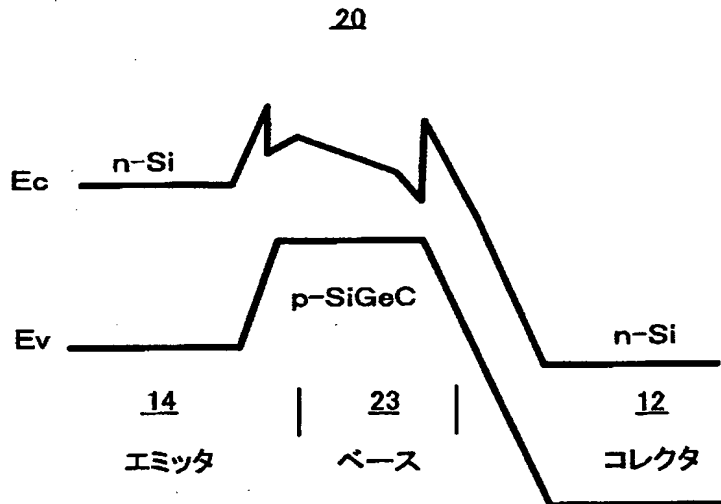
本発明の第5実施例によるヘテロバイポーラトランジスタ
におけるベース層のGe, C分布を示す図



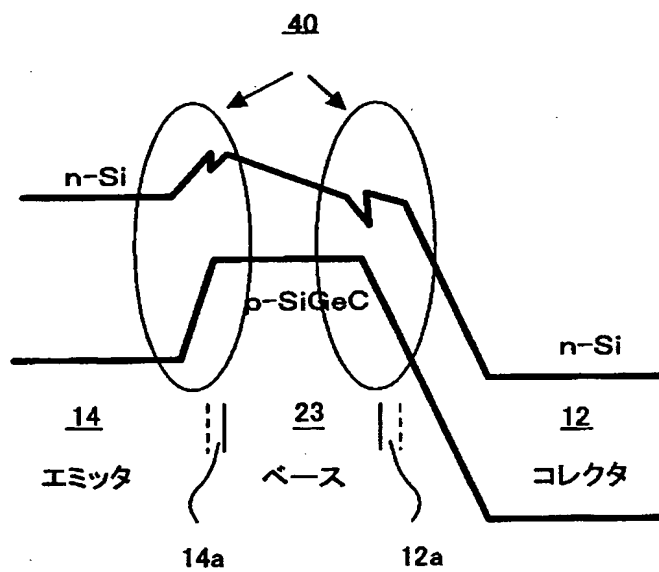
【図 7】

本発明の第6実施例によるヘテロバイポーラトランジスタのバンド構成を示す図

(A)

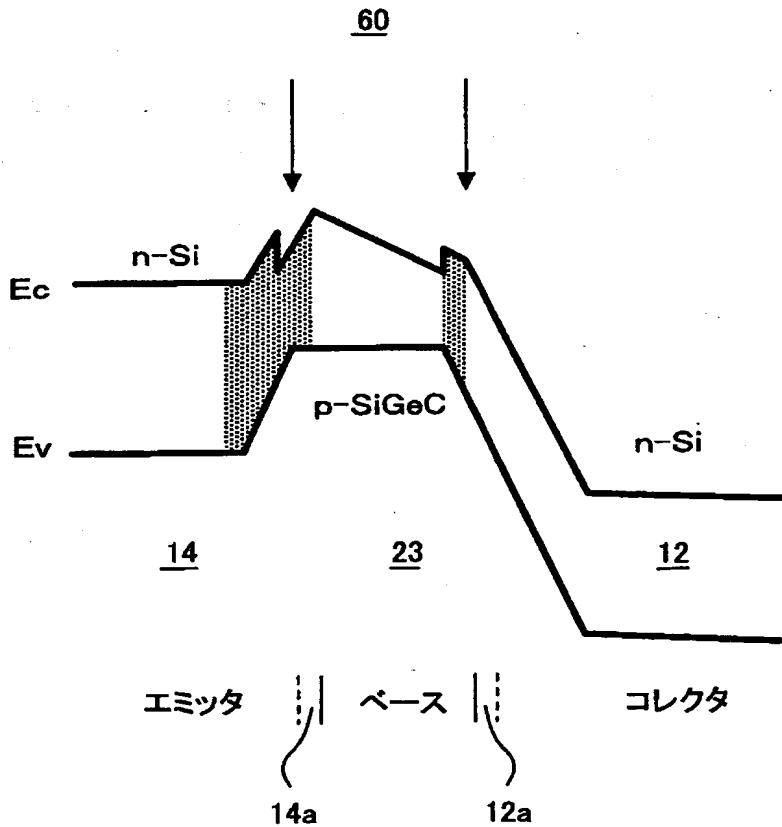


(B)



【図 8】

本発明の第7実施例のよるヘテロバイポーラトランジスタ
のバンド構成を示す図



【書類名】 要約書

【要約】

【課題】 SiGeC 混晶よりなるベース層を含むヘテロバイポーラトランジスタにおいて、ベース層中の Ge の組成勾配に起因する格子不整合を緩和し、キャリアのドリフトを促進する。

【解決手段】 SiGeC 混晶系ベース層において、Ge の組成勾配に合わせて C の組成勾配を形成する。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社